

Exercice 1 - Capacités commutées

Le montage présenté Figure 1 (gauche) suppose les capacités et les commutateurs parfaits. L'amplificateur opérationnel est presque idéal : on peut négliger la différence de potentiel entre les entrées + et - de l'amplificateur et la prendre nulle, le courant d'entrée de l'ampli est également nul. Par contre on prend en compte la tension de décalage de l'amplificateur qui est notée V_d et que l'on suppose constante. La tension de décalage représente la différence de tension qu'il faudrait appliquer entre les deux entrées de l'AOP en boucle ouverte, quand on a relié une des entrées au zéro, pour avoir une tension de sortie nulle. Cette tension d'*offset* peut être modélisée par une source de tension constante en série avec l'entrée non inverseuse (voir Figure 1 (gauche)).

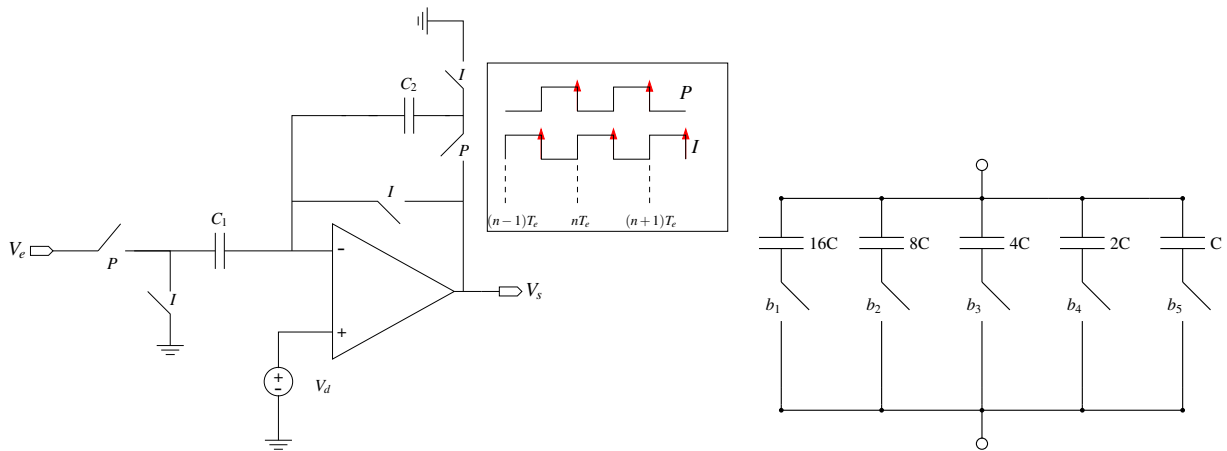


FIGURE 1 – Gauche) Circuit à capacités commutées. Droite) Réseau de capacités commutées à pondération binaire

Question 1.1 On suppose dans un premier temps que la tension d'entrée est échantillonnée et bloquée pendant la phase paire notée P. Donner l'expression de $V_s^P(nT_e)$ en fonction de $V_e^P(nT_e)$, C_1 et C_2 . Vous montrerez ainsi que ce montage est insensible à la tension de décalage de l'amplificateur.

Réponse 1.1 On commence par choisir les armatures des condensateurs, nous prendrons l'armature positive de C_1 à gauche et de C_2 à droite. Puis on calcule les charges durant la phase P.

$$Q_1(nT_e) = C_1(V_e(nT_e) - \underbrace{V^-}_{\text{l'entrée négative de l'aop}}) = C_1(V_e(nT_e) - V_d)$$

$$Q_2(nT_e) = C_2(V_s(nT_e) - V_d)$$

Passons à présent à la phase I

$$Q_1(nT_e - 0.5T_e) = C_1(0 - V_d)$$

$$Q_2(nT_e - 0.5T_e) = C_2(0 - V_d)$$

Nous pouvons à présent établir la conservation de charge. Pendant la phase I, les 2 condensateurs sont connectés à la sortie du l'aop et à la masse, donc nous n'aurons aucune conservation de charge. Pour la phase P, on peut noter que la somme des charges $(-Q_1) + (-Q_2)$ se conserve. Ceci se traduit par

$$-Q_1(nT_e) - Q_2(nT_e) = -Q_1(nT_e - 0.5T_e) - Q_2(nT_e - 0.5T_e)$$

On en déduit que :

$$V_s^P(nT_e) = -\frac{C_1}{C_2}V_e^P(nT_e)$$

On peut ainsi noter que l'architecture est insensible à la tension de décalage V_d

On va utiliser ce montage pour réaliser un convertisseur numérique analogique à capacités commutées. On remplace la capacité C_1 par le réseau de capacités de la Figure 1 (droite). Les interrupteurs sont commandés par les éléments binaires notés b_i . La donnée d'entrée de ce type de convertisseur est la suite des 5 éléments binaires.

Question 1.2 Quelle est la fourchette des valeurs possibles de la capacité C_1 ainsi formée ?

Réponse 1.2 La capacité C_1 peut varier de 0 à $31 \cdot C$ par pas de C

On remplace la tension d'entrée $V_e^P(nT_e)$ par une tension fixe notée V_{ref} .

Question 1.3 Déterminer la valeur de C_2 en fonction de C , si l'on veut que la tension de sortie de l'amplificateur s'écrive :

$$|V_s^P(nT_e)| = V_{ref} \sum_{i=1}^5 b_i 2^{-i}$$

Réponse 1.3 On sait que

$$V_s^P(nT_e) = -\frac{C_1}{C_2}V_e^P(nT_e) = -\frac{C_1}{C_2}V_{ref}$$

et que C_1 peut s'écrire

$$C_1 = 2^5 \sum_{i=1}^5 b_i 2^{-i} C$$

On en déduit donc $C_2 = 2^5 C = 32C$

Exercice 2 - Filtrage

La norme WiFi 802.11ac est un standard de communication sans fils utilisant principalement 2 bandes de fréquences (2,4 et 5 GHz). Dans cet exercice on s'intéresse à la bande 5 GHz. Cette bande est composée de canaux de 20 MHz adjacents pouvant être agrégés afin d'augmenter la bande passante pour un utilisateur.

Nous décidons d'implémenter ce récepteur à l'aide d'une architecture à faible fréquence intermédiaire. Nous ne considérerons que des canaux de 20 MHz. La figure 2 montre un diagramme du spectre à l'entrée du filtre après les phases d'amplification et de mélange. Le signal utile est centré autour d'une fréquence intermédiaire de 100 MHz et est entouré par d'autres canaux WiFi qu'on souhaite filtrer avant de passer dans le domaine numérique.

Dans le cadre de cet exercice, nous limiterons notre étude aux deux canaux adjacents pouvant être occupés (canal A et canal B dans la figure 2). Ces canaux nécessitent une atténuation supérieure à 15 dB sur toute leur bande de fréquence. Nous souhaitons également avoir une ondulation inférieure à 2 dB à l'intérieur de la bande passante. Pour la mise en œuvre du filtre, nous utiliserons un filtre de Tchebycheff à symétrie géométrique.

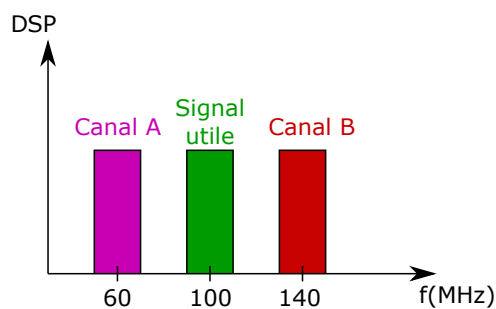


FIGURE 2 – Spectre du signal à l'entrée du filtre

Question 2.1 Déterminer le gabarit du filtre passe-bande à symétrie géométrique permettant de sélectionner le canal utile.

Réponse 2.1 $A_{min} = 15$ dB, $A_{max} = 2$ dB, $f_2 = 90$ MHz, $f_3 = 110$ MHz, $f_4 = 130$ MHz, pour respecter la symétrie géométrique $f_1 = \frac{f_2 f_3}{f_4} = 76.15$ MHz. Prendre $f_1 = 70$ MHz ne permet pas de filtrer le deuxième canal, on se retrouve en fait avec un f_4 de 141.1 MHz, ce qui ne respecte pas les contraintes fixées

Question 2.2 Déterminer le paramètre de sélectivité Ω_s et le gabarit prototype passe-bas.

Réponse 2.2 $\Omega_s = \frac{f_4 - f_1}{f_3 - f_2} = 2.69$

Les polynômes de Tchebycheff s'expriment par :

$\forall x \geq 1, T_n(x) = \text{ch}(n \text{ argch}(x))$, où ch représente le cosinus hyperbolique et argch l'argument du cosinus hyperbolique¹, réciproque de la fonction ch.

Question 2.3 Calculer l'ordre du filtre prototype pour une approximation de Tchebycheff.

Réponse 2.3 $D = 7.23$ et $n \geq \frac{\text{argch}(D)}{\text{argch}(\Omega_s)} = 1.62$ donc on prend $n = 2$

On dispose de cellules de Tchebycheff de second ordre passe-bande, passe-bas et passe-haut.

Question 2.4 Proposer une implémentation possible pour le filtre passe-bande désiré.

1. $\text{argch}(x) = \ln(x + \sqrt{x^2 - 1})$ pour $x \geq 1$

Réponse 2.4 Le filtre passe bas ayant un ordre 2, le filtre passe bande correspondant aura un ordre 4. Il est implantable avec soit 1 passe-bas + 1 passe-haut soit 2 passe-bande.

Question 2.5 Calculer la plage de valeur possible pour ϵ .

Réponse 2.5 $\epsilon_{max} = \sqrt{10^{\frac{A_{max}}{10}} - 1} = 0.765$ et $\epsilon_{min} = \sqrt{\left(\frac{10^{\frac{A_{min}}{10}} - 1}{\text{ch}(n \text{ argch}(\Omega_s))^2}\right)} = 0.41$

Exercice 3 - Conversion

Nous souhaitons mettre en place un système de numérisation pour des signaux astronomiques qui sera installé dans un satellite. Ce système est dédié à l'étude des signaux provenant du soleil et des différentes planètes du système solaire. La bande d'intérêt pour ces observations est comprise entre 0 et 50 MHz. On approximera le signal utile à une sinusoïde avec une amplitude qui varie de 1.5 mV² à 1.25 V³. Comme vous pouvez le remarquer sur la figure 3, des signaux parasites ou interféreurs sont aussi présents dans la bande 70 à 90 MHz.

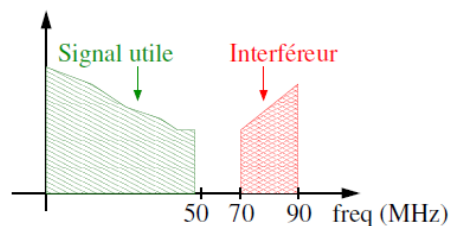


FIGURE 3 – Spectre du signal d'entrée.

Question 3.1 Expliquer pourquoi on doit choisir une fréquence d'échantillonnage (f_e) minimale de 100 MHz pour le convertisseur analogique numérique (CAN)? Pour une Plein Echelle (PE) de 3 V et une f_e de 100 MHz, calculer nombre de bits minimal nécessaire au CAN pour avoir un rapport signal à bruit (SNR) supérieur à 0 dB pour l'amplitude minimale 1.5 mV?

Réponse 3.1 Vu que la bande du signal utile est DC-50 MHz, la fréquence d'échantillonnage doit être au moins 2 fois supérieure donc $2 \cdot 50 \text{ MHz} = 100 \text{ MHz}$.

Pour le calcul du nombre de bits, on se met dans le pire cas, l'amplitude la plus faible de 1.5 mV. On sait que :

$$SNR = 6.02n + 1.76 + 10 \log \left(\frac{f_s}{2BW} \right) + 20 \log \left(\frac{2A_{in}}{PE} \right)$$

$$0 = 6.02n + 1.76 + 10 \log \left(\frac{100}{2 \times 50} \right) + 20 \log \left(\frac{2 \times 1.5 \cdot 10^{-3}}{3} \right)$$

Donc $n = 10$

Nous décidons finalement de sélectionner un CAN avec une fréquence d'échantillonnage de 800 MHz et une PE de 3 V disposant de 9 bits de quantification.

2. Sinusoïde qui varie de -1.5 mV à 1.5 mV
 3. Sinusoïde qui varie de -1.25 V à 1.25 V

Question 3.2 Quels sont les avantage(s) et inconvénient(s) de choisir la fréquence d'échantillonnage supérieure à 100 MHz, telle que 800 MHz ?

Réponse 3.2 Av : Etaler le bruit de quantification et donc utiliser un CAN 9 bits, éviter l'utilisation d'un filtrage antirepliement analogique

Inc :Le CAN consomme plus d'énergie à plus haute fréquence

Question 3.3 Pour ce convertisseur, on mesure une puissance de bruit intégré sur la bande 0-400 MHz de $5.7 \mu\text{V}^2$. Le bruit en question est blanc. Calculer le rapport signal à bruit pratique de ce convertisseur pour l'amplitude minimale de 1.5 mV dans la bande utile 0-50 MHz ? Le CAN est-il adapté pour l'application ?

Réponse 3.3 Pour calculer le SNR, on commence par calculer la puissance du signal utile

$$P_{\text{signal}} = A^2/2 = (1.5\text{e-}3)^2/2 = (2.25\text{e-}6)\text{V}^2$$

Pour le bruit, comme il est blanc ou en d'autres termes à Densité spectrale de puissance constante, la puissance du bruit dans la bande 0-50 MHz est tout simplement le huitième du bruit sur la bande 0-400 MHz. On en déduit donc :

$$SNR_{dB} = 10 \log\left(\frac{P_{\text{signal}}}{P_{\text{bruit}}/8}\right) = 2dB$$

Le CAN est adapté car on garantie un SNR 0 dB le pour l'amplitude minimale

Exercice 4 - Amplification

Nous utiliserons les conventions de notation suivante : les grandeurs (tension ou courant) *statiques* seront notées en capitales (indexées par des capitales), les grandeurs *variables* (de moyenne temporelle nulle) par des minuscules, et les grandeurs *totales*, superposition des deux précédentes, par des minuscules indexées par des capitales. Ainsi, à une tension ou un courant u , par exemple liée au drain d'un transistor MOS, correspondront les grandeurs : $u_D(t) = U_D + u_d(t)$, avec $\partial U_D / \partial t = 0$. Dans l'approximation dite des petits signaux correspondant à des variations suffisamment faibles autour de la valeur statique, on pourra approximer les variations temporelles de u par sa différentielle, soit : $u_d \approx du_D$.

On considère le circuit amplificateur de la Figure 4 gauche). On suppose que le transistor nMOS est correctement polarisé en entrée (à $V_{GS} = V_{GS0}$) de manière à maximiser la valeur de la transconductance $g_m = \partial i_{DS} / \partial v_{GS}$ (qui ne dépend que de V_{GS} en 1^{re} approximation). On considèrera, également en 1^{re} approximation, que le courant de drain I_D ne dépend que de V_{GS} , soit $I_D = I_{D0}$. Ces grandeurs seront donc fixées dans tout l'exercice.

On donne : $V_{DD} = 5\text{V}$, $R_D = 10\text{k}\Omega$, et $g_m = 1\text{mS}$ et $I_{D0} = 250\mu\text{A}$ (pour la tension V_{GS0} retenue).

Question 4.1 Expliquer pourquoi le gain en tension $G_v = \frac{dv_S}{dv_E} = \frac{v_s}{v_e}$ vaut $G_v = -10$ pour ces valeurs.

Réponse 4.1 $G_v = -g_m R_D$

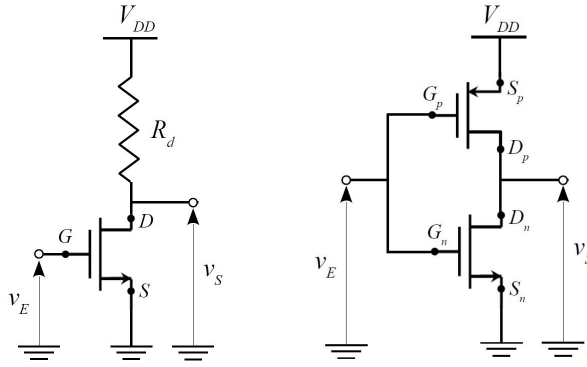


FIGURE 4 – Gauche) Amplificateur source commune à charge résistive. Droite) Amplificateur du type « inverseur CMOS », comprenant un transistor nMOS et un transistor pMOS.

Question 4.2 En raison de spécifications annexes, le signal doit être amplifié de 40 dB (au lieu de 20 dB). Expliquez pourquoi ce 1^{er} circuit ne peut, même en modifiant la valeur de R_D , fournir un tel gain.

Réponse 4.2 $G_v = -100$, il faut donc multiplier R_D par 10, soit 100 k Ω , ce qui (à courant constant $I_D = I_{D0}$) entraîne une chute de tension à ses bornes 10 fois plus grande, soit 25 V $\gg V_{DD}$

Comme il est préférable d'éviter les résistances de valeurs élevées en circuits intégrés, la limitation précédente a conduit à utiliser essentiellement des transistors (dont certains jouent le rôle de résistance). Le circuit amplificateur de la Figure 4 Droite), de structure identique à « l'inverseur CMOS » des circuits logiques en est un exemple simple.

Nous utiliserons un modèle plus réaliste pour les transistors n et p donné par :

$$di_{DSn} \approx i_{dsn} = g_{mn}v_{gsn} + g_{on}v_{dsn} \quad ; \quad di_{SDp} \approx i_{sdp} = g_{mp}v_{sgp} + g_{op}v_{sdp}$$

avec g_{mn} , g_{on} , g_{mp} et g_{op} des constantes qui dépendent des 2 transistors. On gardera bien en tête que les transistors sont correctement polarisés et fonctionnent donc en zone saturée, à savoir que : $v_E = V_{GS0} + v_e$ et $v_S = V_{DS0} + v_s$.

Question 4.3 Exprimer les équations des mailles d'entrée et de sortie reliant respectivement v_{SGp} à V_{DD} et v_E , et v_{SDp} à V_{DD} et v_S . En déduire leurs variations.

Réponse 4.3 $v_{SGp} = V_{DD} - v_E$, $v_{SDp} = V_{DD} - v_S \Rightarrow dv_{SGp} = -dv_E$, $dv_{SDp} = -dv_S$

Question 4.4 Exprimer les courants i_{dsn} et i_{sdp} en fonction de v_e , v_s , g_{mn} , g_{on} , g_{mp} et g_{op} .

Réponse 4.4 $i_{dsn} = g_{mn}v_{gsn} + g_{on}v_{dsn} = g_{mn}v_e + g_{on}v_s$, $i_{sdp} = g_{mp}v_{sgp} + g_{op}v_{sdp} = -g_{mp}v_e - g_{op}v_s$

Question 4.5 En déduire l'expression du gain en tension du circuit $G_v = \frac{dv_S}{dv_E} = \frac{v_s}{v_e}$. Calculer sa valeur pour le cas symétrique pour lequel les transistors n et p sont « équilibrés », c'est-à-dire que : $g_{mn} = g_{mp} = g_m = 1$ mS et $g_{on} = g_{op} = g_o = 0.01$ mS.

Réponse 4.5 $G_v = -(g_{mn} + g_{mp}) / (g_{on} + g_{op})$

A.N. $G_V = 100 \rightarrow 40$ dB